

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-032224

(43)Date of publication of application : 03.02.1998

(51)Int.Cl.

H01L 21/60

H01L 23/12

(21)Application number : 08-184447

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 15.07.1996

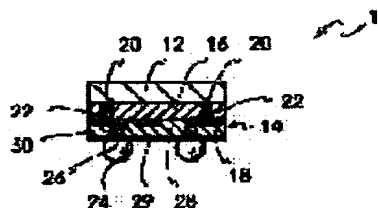
(72)Inventor : KOYAMA TETSUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a packaged semiconductor device of a structure, wherein the formation of a finer pattern, such as a wiring pattern, is possible and the device is easily producible and is formed in a chip size.

SOLUTION: This semiconductor device 10 is constituted by connecting electrically electrode terminals 20 of a semiconductor chip 12 with wiring patterns 18 of a circuit board 14 formed in the roughly same size as that of the chip 12. In this case, the element 12 and the board 14 are bonded together with a board bonding agent layer 16 formed on the board 14 and at the same time, the electrical connection of the terminals 20 of the chip 12 with the patterns 18 of the board 14 is made by conductive bumps 22 penetrating the layer 16 and the point parts of the bumps 22 made to project from the layer 16 are brought into contact with the terminals 20 of the chip 12 and are crushed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32224

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60 23/12	3 1 1		H 0 1 L 21/60 23/12	3 1 1 S L

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平8-184447

(22) 出願日 平成8年(1996) 7月15日

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 小山 鉄也

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

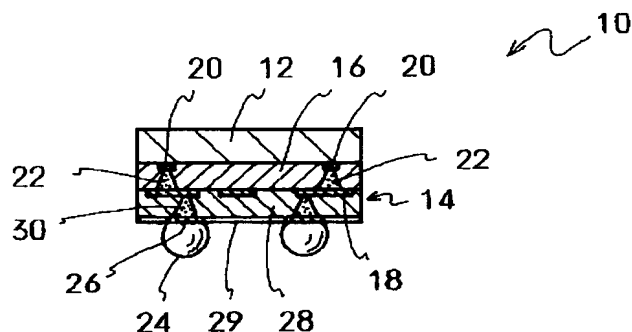
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 配線パターン等の一層の微細パターン化が可能であって、製造が容易なチップサイズパッケージの半導体装置を提供する。

【解決手段】 半導体素子12の電極端子20と、半導体素子12と略同サイズに形成された回路基板14の配線パターン18とが電気的に接続されて成る半導体装置10において、該半導体素子12と回路基板14とが、回路基板14に形成された基板接着剤層16によって接合されていると共に、半導体素子12の電極端子20と回路基板14の配線パターン18との電気的接続が、基板接着剤層16を貫通する導電性バンプ22によってなされ、且つ基板接着剤層16から突出した導電性バンプ22の先端部が半導体素子12の電極端子20に当接して押し潰されていることを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体素子の電極端子と、前記半導体素子と略同サイズに形成された回路基板の配線パターンとが電氣的に接続されて成る半導体装置において、該半導体素子と回路基板とが、前記半導体素子又は回路基板に形成された接着剤層によって接合されていると共に、

前記半導体素子の電極端子と回路基板の配線パターンとが、前記接着剤層を貫通する導電性バンプによって電氣的に接続され、

且つ前記導電性バンプの先端部が半導体素子の電極端子又は回路基板の配線パターンに当接して押し潰されていることを特徴とする半導体装置。

【請求項 2】 回路基板として、複数枚の回路基板が接着剤層によって接合されていると共に、互いに接合された回路基板の一方に形成された導電性バンプの先端部が、前記接着剤層を貫通して他方の回路基板の配線パターンに当接して押し潰され、前記回路基板の各々に形成された配線パターン同士が電氣的に接続されて成る多層回路基板が用いられている請求項 1 記載の半導体装置。

【請求項 3】 回路基板の一面側に半導体素子が接合され、且つ前記回路基板の他面側に外部接続端子が接合されるランド部が形成されている請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】 半導体素子の電極端子と、前記半導体素子と略同サイズに形成された回路基板の配線パターンとが電氣的に接続されて成る半導体装置を製造する際に、複数個の単位半導体素子が形成されたウエハーと、前記単位半導体素子に対応する複数個の単位回路基板が形成された回路基板とを、前記ウエハー又は回路基板に形成した接着剤層を介して圧着し、前記ウエハーと回路基板とを接合すると共に、前記接着剤層を貫通して突出した導電性バンプの先端部を、当接した単位半導体素子の電極端子又は単位回路基板の配線パターンで押し潰すことによって、前記単位半導体素子の電極端子と単位回路基板の配線パターンとを電氣的に接続した後、前記ウエハーと回路基板とを所定箇所まで切断して複数個の半導体装置を形成することを特徴とする半導体装置の製造方法。

【請求項 5】 回路基板として、複数枚の回路基板が接着剤層によって接合されていると共に、互いに接合された回路基板の一方に形成された導電性バンプの先端部が、前記接着剤層を貫通して他方の回路基板の配線パターンに当接して押し潰され、前記回路基板の各々に形成された配線パターン同士が電氣的に接続されて成る多層回路基板を用いる請求項 4 記載の半導体装置の製造方法。

【請求項 6】 導電性バンプを導電性ペーストによって形成した請求項 4 又は請求項 5 記載の半導体装置の製造方法

【請求項 7】 回路基板の一面側に半導体素子を接合し、且つ前記回路基板の他面側に外部接続端子が接合されるランド部を形成する請求項 4～6 のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に関し、更に詳細には半導体素子の電極端子と、前記半導体素子と略同サイズに形成された回路基板の配線パターンとが電氣的に接続されて成る半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 半導体装置には、図 12 に示す様に、搭載された半導体素子 100 の一面側に、半導体素子 100 と略同サイズのパッケージ 102 が接合されて成る、いわゆるチップサイズパッケージ (Chip Size Package) がある (以下、CSP と称することがある)。図 12 に示す CSP は、半導体素子 100 の一面側に、ポリイミドフィルム 104 に形成された配線パターン 106、106・・が弾性を有する接着剤層 108 によって接合されていると共に、配線パターン 106、106・・から延出されたリード 110、110・・と、半導体素子 100 の一面側に形成された電極端子 112、112・・とが接合されている。かかるリード 110 等は、樹脂 116 によって封止される。更に、配線パターン 106、106・・に、外部接続端子として形成されたはんだボール 114、114・・は、リード 110 及び配線パターン 106 を介して半導体素子 100 の電極端子 112 と電氣的に接続されている。尚、図 12 に示す CSP では、半導体素子 100 の周側面に沿って保護用の金属リング 118 を装着している。

【0003】

【発明が解決しようとする課題】 図 12 に示す CSP は、小型であるために携帯電話等に好適に使用することができる。しかし、図 12 の CSP は、配線パターン 106、106・・から延出されたリード 110、110・・と、半導体素子 100 の電極端子 112、112・・との接合は、通常、特別のツールによって各リード 110 を押圧して圧着することによってなされる。このため、配線パターン 106 等の一層の微細パターン化には限界が生じ、しかも製造工程も極めて複雑であるため、CSP の製造コストが高価となる。そこで、本発明の課題は、配線パターン等の一層の微細パターン化が可能であって、且つチップサイズパッケージの半導体装置を容易に得ることができる半導体装置及びその製造方法を提供することにある。

【0004】

【課題を解決するための手段】 本発明者は、前記目的を達成すべく検討を重ねた結果、切断されて複数個の単位半導体素子が形成されたウエハーと、前記単位半導体素子

子に対応する複数個の単位回路基板が形成された回路基板を、回路基板に形成した接着剤層を介して圧着することによって、ウエハーと回路基板とを接合すると共に、接着剤層を貫通して突出した銀等の金属粒子から成る導電性パンプの先端部を、当接した単位回路基板の配線パターンによって押し潰し、単位半導体素子の電極端子と回路基板の配線パターンとを電気的に接続した後、ウエハーと回路基板とを所定箇所で切断することによって、CSPを容易に製造できることを見出し、本発明に到達した。

【0005】すなわち、本発明は、半導体素子の電極端子と、前記半導体素子と略同サイズに形成された回路基板の配線パターンとが電気的に接続されて成る半導体装置において、該半導体素子と回路基板とが、前記半導体素子又は回路基板に形成された接着剤層により接合されていると共に、前記半導体素子の電極端子と回路基板の配線パターンとが、前記接着剤層を貫通する導電性パンプにより電気的に接続され、且つ前記導電性パンプの先端部が半導体素子の電極端子又は回路基板の配線パターンに当接して押し潰されていることを特徴とする半導体装置にある。

【0006】かかる半導体装置に係る本発明において、回路基板として、複数枚の回路基板が接着剤層によって接合されていると共に、互いに接合された回路基板の一方に形成された導電性パンプの先端部が、前記接着剤層を貫通して他方の回路基板の配線パターンに当接して押し潰され、前記回路基板の各々に形成された配線パターン同士が電気的に接続されて成る多層回路基板を用いることによって、半導体素子の高集積化に対応可能である。更に、回路基板の一面側に半導体素子を接合し、且つ前記回路基板の他面側に外部接続端子を接合するランド部を形成することにより、外部接続端子が接合された半導体装置を容易に得ることができる。

【0007】また、本発明は、半導体素子の電極端子と、前記半導体素子と略同サイズに形成された回路基板の配線パターンとが電気的に接続されて成る半導体装置を製造する際に、複数個の単位半導体素子が形成されたウエハーと、前記単位半導体素子に対応する複数個の単位回路基板が形成された回路基板とを、前記ウエハー又は回路基板に形成した接着剤層を介して圧着し、前記ウエハーと回路基板とを接合すると共に、前記接着剤層を貫通して突出した導電性パンプの先端部を、当接した単位半導体素子の電極端子又は単位回路基板の配線パターンで押し潰すことにより、前記単位半導体素子の電極端子と単位回路基板の配線パターンとを電気的に接続した後、前記ウエハーと回路基板とを所定箇所で切断して複数個の半導体装置を形成することを中心とする半導体装置の製造方法にある。

【0008】かかる本発明において、回路基板として、複数枚の回路基板が接着剤層によって接合されていると

共に、互いに接合された回路基板の一方に形成された導電性パンプの先端部が、前記接着剤層を貫通して他方の回路基板の配線パターンに当接して押し潰され、前記回路基板の各々に形成された配線パターン同士が電気的に接続されて成る多層回路基板を用いることによって、多層回路基板を具備する半導体装置を容易に得ることができる。この導電性パンプは、導電性ペーストによって容易に形成することができる。更に、回路基板の一面側に半導体素子を接合し、且つ前記回路基板の他面側に外部接続端子が接合されるランド部を形成することによって、外部接続端子を接合した半導体装置を容易に得ることができる。

【0009】本発明によれば、半導体素子の電極端子と配線パターンとの接続を、切断されて複数個の単位半導体素子が形成されるウエハーと、この単位半導体素子に対応する複数個の単位回路基板が形成された回路基板との圧着によってなされるため、従来の様に、半導体素子の電極端子ごとに対応する配線パターンを押圧して圧着する特別なツールを必要とせず、配線パターンのより一層の微細化を可能とすることができる。更に、ウエハーと回路基板とを圧着した後、所定箇所を切断することによって複数個のCSPを同時に製造できるため、CSPの大量生産を可能とすることができ、CSPの製造コストの低減を図ることが可能である。

【0010】

【発明の実施の形態】本発明に係るCSPの一例を図1に示す。図1に示すCSP10は、半導体素子12の一面側に、半導体素子12と略同一サイズの回路基板14が、ポリイミドやポリエステル等から成る基板接着剤層16によって接合されているものである。かかる回路基板14に形成された配線パターン18と、半導体素子12の電極端子20とは、基板接着剤層16を貫通する導電性パンプ22を介して電気的に接合されている。この導電性パンプ22は、金、銀、はんだ等の金属粒子が混入されたポリエステルやポリイミド等の樹脂から成る導電性ペーストによって形成されており、図2に示す拡大断面図に示す様に、基板接着剤層16を貫通して突出した導電性パンプ22の先端部22aが、半導体素子12の電極端子20に当接して押し潰されて円錐台状となっている。また、回路基板14は、その一面側に配線パターン18、18・・・が形成されていると共に、他面側に外部接続端子としてのはんだボール24・・・を接合できるランド部26・・・が形成されているものである。かかる配線パターン18とランド部26とは、両者を接合する基板内接着剤層28を貫通する導電性パンプ30を介して電気的に接合されている。この導電性パンプ30は、導電性パンプ22と同様に、金、銀、はんだ等の金属粒子が混入されたポリエステルやポリイミド等の樹脂から成る導電性ペーストによって形成されており、基板内接着剤層28を貫通して突出した導電性パンプ30

の先端部が、配線パターン18に当接して押し潰されて円錐台状となっている。尚、図1に示すCSP10において、回路基板14の他面側には、ランド部26を除きソルダレジスト29が塗布されている。

【0011】図1に示すCSP10は、図3に示す様に、パッケージ40を一点鎖線の箇所で切断することによって得ることができる。かかるパッケージ40は、一点鎖線の箇所で切断されて複数個の単位半導体素子12a、12b・・・が形成されるウエハー42と、単位半導体素子12a、12b・・・に対応する複数個の単位回路基板14a、14b・・・が形成された回路基板44とを、基板接着剤層46を介して圧着して得られる。このパッケージ40は図4に示す方法によって得ることができる。先ず、銅等の金属箔48の一面側の所定箇所に円錐状の導電性パンプ31を形成する〔図4(a)〕。かかる導電性パンプ31は、ポリエステルやポリイミド等の樹脂中に、金、銀、はんだ等の金属粒子を約70重量%程度含有させた高チクソトロピー性の導電性ペーストを、金属箔48上にスクリーン印刷によって形成できる。このスクリーン印刷の際に用いるマスクとしては、厚さ25〜50 μ m程度のポリイミドフィルムに、直径30〜60 μ m程度の貫通孔をレーザ、エッチング、又はパンチングにより穿設したものをを用いることが好ましい。尚、貫通孔のピッチは、100〜500 μ m程度とすることができる。

【0012】この様に、円錐状の導電性パンプ31を形成した金属箔48の一面側に、導電性パンプ31の先端部が突出するように、熱硬化性接着剤から成る基板内接着剤層45を形成した後、この基板内接着剤層45に金属箔50を被着する〔図4(b)〕。かかる基板内接着剤層45は、所定量の流動性を呈する熱硬化性接着剤を金属箔48の一面側に供給し、金属箔48を回転させるスピコートによって形成できる。更に、基板内接着剤層45に被着した金属箔50を、熱プレスにより加熱・加圧することによって、円錐状の導電性パンプ31は、その先端部が金属箔50に当接して押し潰されて円錐台状の導電性パンプ30a、30b・・・となる〔図4(c)〕。この熱プレスの際に、熱硬化性接着剤から成る基板内接着剤層45はキュアされて硬化される。ところで、導電性パンプ30a、30b・・・を形成する導電性ペースト中の樹脂に熱硬化性樹脂を用いた場合には、熱プレスの際に、導電性パンプ31もキュアされて硬化される。これに対し、導電性パンプ30a、30b・・・を形成する導電性ペースト中の樹脂に熱可塑性樹脂を用いた場合には、熱プレスの際に、導電性パンプ31の変形が過大とならないように、熱プレス温度よりも軟化温度の高い熱可塑性樹脂を用いることが好ましい。更に、金属箔48、50の各々に、例えばフォトリソ法等によってパターンニングを施し、基板内接着剤層45の一面側

基板内接着剤層45の他面側にランド部26a、26b・・・を形成し、回路基板44を形成する〔図4(d)〕。かかる回路基板44において、配線パターン18a、18b・・・は、導電性パンプ30a、30b・・・を介してランド部26a、26b・・・と電気的に接続されている。

【0013】次いで、回路基板44の一面側に形成された配線パターン18a、18b・・・の所定箇所に、導電性ペーストを用いて円錐状の導電性パンプ23を形成し、且つ導電性パンプ23の先端部が突出するように、熱硬化接着剤から成る基板接着剤層46を形成する〔図4(e)〕。かかる導電性パンプ23は、図4(a)に示す工程と同様に、ポリエステルやポリイミド等の樹脂中に、金、銀、はんだ等の金属粒子を約70重量%程度含有させた高チクソトロピー性の導電性ペーストをスクリーン印刷によって形成できる。このスクリーン印刷においても、マスクとして、厚さ25〜50 μ m程度のポリイミドフィルムに、直径30〜60 μ m程度の貫通孔をレーザ、エッチング、又はパンチングによって穿設したものをを用いることが好ましい。かかる貫通孔のピッチは、単位半導体素子12a、12b・・・の電極端子のピッチとマッチさせればよく、100〜500 μ m程度に調整できる。また、基板接着剤層46も、図4(b)に示す工程と同様に、所定量の流動性を呈する熱硬化性接着剤を回路基板44の一面側に供給し、回路基板44を回転させるスピコートによって形成できる。

【0014】その後、基板接着剤層46上に、切断されて複数個の単位半導体素子が形成されるウエハー42を被着して熱プレスする〔図4(f)〕。かかる熱プレスによって、円錐状の導電性パンプ23、23・・・の各々が、その先端部がウエハー42に形成された電極端子20a、20b・・・に当接して押し潰されて円錐台状の導電性パンプが形成される。更に、ランド部26a、26b・・・を除く回路基板44の他面側に、ソルダレジスト29を塗布し、図3に示すパッケージ40を得ることができる。かかる図3に示すパッケージ40を、一点鎖線の箇所で切断し、ランド部26に外部接続端子としてのはんだボール24を接合することによって、図1に示すCSP10を得ることができる。ここで、パッケージ40のランド部にはんだボール24を接合した後、所定箇所で切断してCSP10としてもよい。尚、図3に示すパッケージ40を一点鎖線の箇所で切断した状態のCSP、つまりランド部26に外部接続端子としてののはんだボール24が接合されていない状態のCSPを流通に供してもよい。

【0015】図4においては、回路基板44の一面側に円錐状の導電性パンプ23、23・・・を形成したが、図5に示す様に、ウエハー42の電極端子20a、20b・・・の各々に、円錐状の導電性パンプ23、23・・・を

7

10

20

30

に当接して押しつぶされて形成された円錐台状の導電性バンプ30、30・・・によって、電極端子20と配線パターン48とを電氣的に接続してもよい。かかる図11に示すCSP10を製造する際には、先ず、図5に示す様に、ウエハー42の電極端子20a、20b・・・の各々に、円錐状の導電性バンプ23、23・・・を形成した後、導電性バンプ23の先端部が突出するように、熱硬化接着剤から成る基板内接着剤層28をウエハー42に形成する。次いで、接着剤層46上に金属箔48を被着して熱プレスした後、金属箔48にフォトリソ法等によるパターンニングを施して配線パターン18を形成する。その後、配線パターン18のはんだボール24を接合する部分を除きソルダレジスト29を塗布し、更に配線パターン18が露出する箇所に、はんだボール24・・・を接合して得たパッケージ40を、所定箇所にて切断することによってCSP10を得ることができる。

【0021】以上、述べてきた図1～図11に示す半導体装置やパッケージにおいて、半導体素子又はウエハーと回路基板等とを接合する接着剤層に、シリコン樹脂等のゴム弾性を有する樹脂を用いることが好ましい。かかるゴム弾性を有する樹脂を用いた接着剤層によれば、最終的に得られた半導体装置をプリント回路基板等の実装基板に実装した際に、半導体素子と実装基板との熱膨張係数の相違に因って発生する、半導体素子に対する応力を緩和できるからである。従って、特に、図8及び図11に示す半導体装置の様に、回路基板14が薄いため、実装基板と半導体素子12との熱膨張係数の相違に因って発生する応力が、半導体素子12に加えられ易い半導体装置においては、半導体素子12と回路基板14とを接合する接着剤層28に、シリコン樹脂等のゴム弾性を有する樹脂を用いることが好ましい。また、外部接続端子としては、はんだボールの他に、リードピン等の従来から使用されている外部接続端子を用いることができる。

【0022】

【発明の効果】本発明によれば、配線パターンのより一層の微細化を可能とすることができ、且つCSPの製造コストの低減を図ることが可能であるため、ファインパ

ターンのCSPを低コストで提供することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一例を示す断面図である。

【図2】図1に示す半導体装置の一部を拡大した拡大部分断面図である。

【図3】図1に示す半導体装置を得るためのパッケージである。

【図4】図3に示すパッケージを得るための工程を示す工程図である。

【図5】図3に示すパッケージを得るための他の例を説明する説明図である。

【図6】図3に示すパッケージを得るための他の例を説明する説明図である。

【図7】図3に示す多層回路基板を得るための工程を説明する説明図である。

【図8】本発明に係る半導体装置の他の例を示す断面図である。

【図9】図3に示す半導体装置を得るためのパッケージを製造する製造方法の一例を説明するための工程図である。

【図10】図3に示す半導体装置を得るためのパッケージを製造する製造方法の他の例を説明するための説明図である。

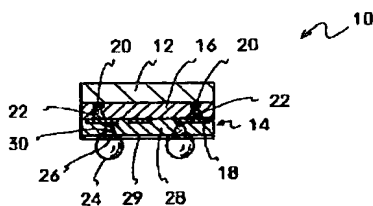
【図11】本発明に係る半導体装置の他の例を示す断面図である。

【図12】従来の半導体装置を示す断面図である。

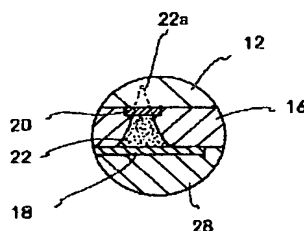
【符号の説明】

- 10 半導体装置
- 12 半導体素子
- 14 回路基板
- 16 接着剤層（基板接着剤層）
- 18 配線パターン
- 20 半導体素子10の電極端子
- 22 導電性バンプ
- 24 はんだボール
- 26 ランド部
- 42 ウエハー

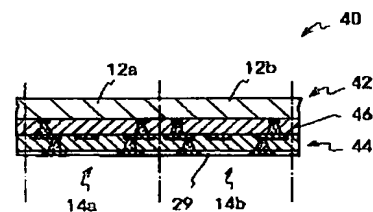
【図1】



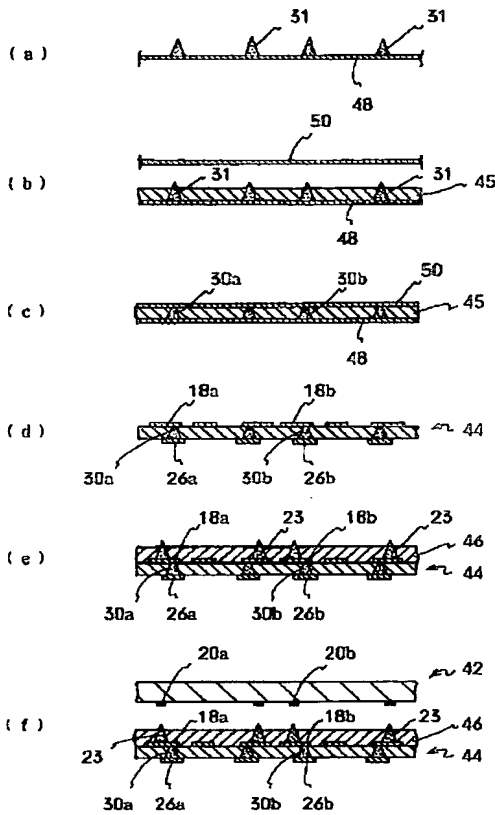
【図2】



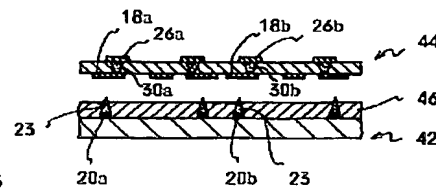
【図3】



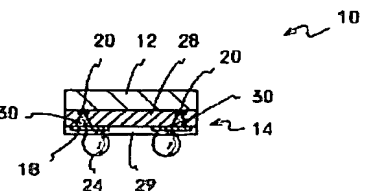
【図4】



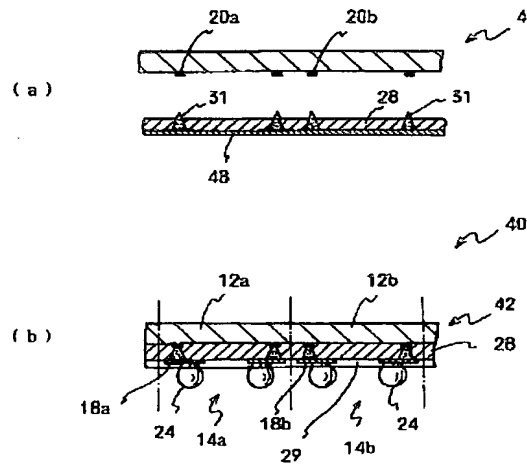
【図5】



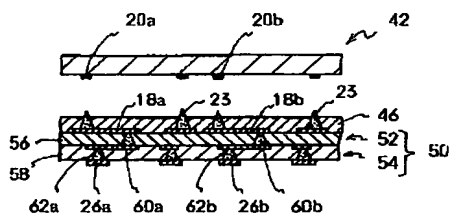
【図8】



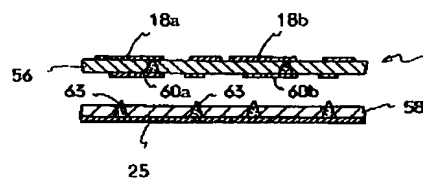
【図9】



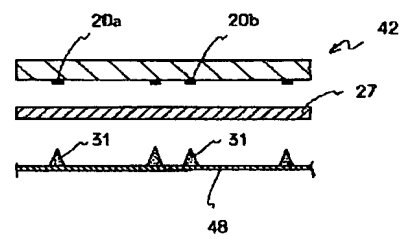
【図6】



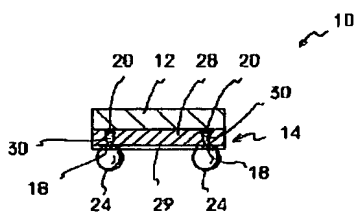
【図7】



【図10】



【図11】



【図12】

